

(Translation)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: February 7, 2001
Application Number: No. 2001-030833
Applicant: Iwaki Electronics Co., Ltd

Date: August 7, 2003
Commissioner, Patent Office Yasuo IMAI (Seal)

Certificate No. 2003-3063563

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 1 年 2 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 1 - 0 3 0 8 3 3
Application Number:

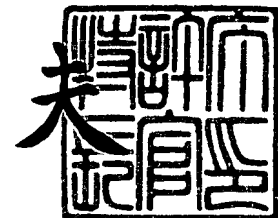
ST. 10/C): [J P 2 0 0 1 - 0 3 0 8 3 3]

願 人 いわき電子株式会社
Applicant(s):

2 0 0 3 年 8 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 3 5 6 3

【書類名】 特許願

【整理番号】 IP01359

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 3/84

【発明者】

【住所又は居所】 東京都港区新橋 5 丁目 3 6 番 1 1 号 いわき電子株式会社
社内

【氏名】 山本 博康

【特許出願人】

【識別番号】 390022792

【氏名又は名称】 いわき電子株式会社

【代理人】

【識別番号】 100067046

【弁理士】

【氏名又は名称】 尾股 行雄

【電話番号】 03-3543-0036

【選任した代理人】

【識別番号】 100096862

【弁理士】

【氏名又は名称】 清水 千春

【電話番号】 03-3543-0036

【手数料の表示】

【予納台帳番号】 008800

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 乱数発生装置および確率発生装置

【特許請求の範囲】

【請求項 1】 二つの入力部に入力される信号の位相差に応じて出力の状態（0 または 1）が確定するフリップ・フロップと、
これら二つの入力信号に位相差を生じさせる遅延部と、
前記入力信号によるフリップ・フロップ出力の 0 または 1 の出現率が所定の繰り返し周期内で一定になるように前記位相差を制御するフィードバック回路とで構成されることを特徴とする乱数発生装置。

【請求項 2】 前記遅延部は、
前記入力信号を数段階に遅延し出力する遅延回路と、セレクト入力に応じて遅延出力の何れかを選択する選択回路とで構成されることを特徴とする請求項 1 に記載の乱数発生装置。

【請求項 3】 前記フィードバック回路は、
前記入力信号の所定の繰り返し周期を計測する第 1 のカウンターと、
繰り返し周期毎に前記フリップ・フロップ出力の 0 または 1 の出現数を計測する第 2 のカウンターと、
当該第 2 のカウンターの計測出力を繰り返し周期毎に保持するレジスターと、
前記フリップ・フロップ出力の 0 または 1 の出現率を設定するための比較データを発生する定数設定器と、
前記レジスターの出力データと前記比較データの大小を比較する比較器と、
当該比較器の比較出力に基づいて前記選択回路のセレクト信号を発生する可逆カウンターと
で構成されることを特徴とする請求項 1 または請求項 2 の何れかに記載の乱数発生装置。

【請求項 4】 前記第 1 のカウンターに設定する繰り返し周期の設定データと前記比較器の比較データとして、前記フリップ・フロップより出力される乱数を、または当該乱数をスクランブルして構成した乱数を用いることを特徴とする請求項 3 に記載の乱数発生装置。

【請求項 5】 請求項 3 に記載の乱数発生装置と同じ構成の補助乱数発生器を備え、前記第 1 のカウンターに設定する繰り返し周期の設定データと前記比較器の比較データとして、前記補助乱数発生器による乱数を用いることを特徴とする請求項 3 に記載の乱数発生装置。

【請求項 6】 請求項 3 に記載の乱数発生装置と同じ構成の補助乱数発生器を備え、前記第 1 のカウンターに設定する繰り返し周期の設定データと前記比較器の比較データとして、前記補助乱数発生器による乱数と前記乱数発生装置による乱数をスクランブルして構成した乱数を用いることを特徴とする請求項 3 に記載の乱数発生装置。

【請求項 7】 前記フリップ・フロップの入力信号ラインに波形整形回路を付加して成ることを特徴とする請求項 1 から請求項 6 までの何れかに記載の乱数発生装置。

【請求項 8】 前記比較器の比較データを電源投入時に所定期間 0 に設定する初期制御回路を備えて成ることを特徴とする請求項 3 から請求項 7 までの何れかに記載の乱数発生装置。

【請求項 9】 前記フリップ・フロップとして D タイプフリップ・フロップ、もしくは R-S フリップ・フロップを用いることを特徴とする請求項 1 から請求項 8 までの何れかに記載の乱数発生装置。

【請求項 10】 請求項 1 から請求項 9 までの何れかに記載の乱数発生装置を複数並列に配置して構成したことを特徴とする乱数発生装置。

【請求項 11】 請求項 1 から請求項 10 までの何れかに記載の乱数発生装置を備えて成ることを特徴とする確率発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、科学技術計算、ゲーム機、或いは暗号化処理等に利用して好適な乱数発生装置、およびこの乱数発生装置を使用して構成した確率発生装置に関するものである。

【0002】

【従来の技術】

高度な科学技術計算やゲーム機、或いは暗号化処理等には乱数の使用が不可欠であり、近年、一様性（乱数や確率値によって出現率に差異が生じないこと）を有し、且つ、乱数出現の規則性、前後の相関性、周期性等を有しない高性能な自然乱数（真性乱数）の発生装置や確率発生装置の需要が益々増加してきている。

【0003】

そして、上記した自然乱数／確率発生装置としては、例えば、微弱放射線、抵抗やダイオードの熱雑音、或いは水晶発振器の揺らぎ等を利用して得られるランダムなパルスを利用したものが公知である。

【0004】**【発明が解決しようとする課題】**

ところが、上記した自然現象によるランダムパルスを利用した乱数／確率発生回路においては、前記ランダムパルスの発生源、信号の増幅器、波形整形、一様性の適正化回路等のアナログ的要素が多分に含まれることから回路規模も大きく、且つ複雑となり、よって、これらを一体のロジックLSIとして搭載することは難しく、今後需要増が期待されるICカード等のような超小型、薄型ハイテク機器への適用に対しても不利となる。また、LSI化が困難であることから生産性が悪く、コスト的にも高くなる。

【0005】

特に、熱雑音を利用したものは、外部ノイズや電源変動、或いは温度等の影響を受け易いため、動作の安定性に欠ける欠点があり、また、放射線を利用したものは、例え微弱であっても放射線の環境等への影響が懸念されることから、使用可能な放射線量には限界があり、よって、短時間に大量の乱数を発生させるような用途には対応困難であった。

【0006】

本発明は、デジタル回路による構成で自然乱数の生成を実現することにより、上記従来技術の課題であった一様性や規則性、相関性、周期性等の問題を解消した高性能で、且つ安全性の高い乱数発生装置および確率発生装置を提供することを目的としている。

【0007】

【課題を解決するための手段】

二つの入力部に入力される信号の位相差に応じて出力の状態（0または1）が確定するフリップ・フロップとして、Dタイプフリップ・フロップが知られている。

このDタイプフリップ・フロップは、図13に示すように、入力部としてクロック端子CLKとデータ端子Dを有しており、図14（a）、（b）に示す入出力波形ように、CLK入力立ち上がり時のデータ端子Dの状態（0か1）によって出力Qと/Q（/Q：Qの反転出力）の状態が確定する、所謂エッジトリガタイプのフリップ・フロップである。

ここで、図14（a）、若しくは図14（b）の状態からCLK信号の立ち上がり時間とD信号の立ち上がり時間の差（位相差） Δt を0に近づけていくと、図14（c）に示すように、フリップ・フロップ出力 Q_n 、/ Q_n が不確定となる位相差の範囲が存在する。

【0008】

本発明は、このようなフリップ・フロップの不確定動作を積極的に利用して自然乱数を生成をするものである。

【0009】

すなわち、請求項1に記載の乱数発生装置は、二つの入力部に入力される信号の位相差に応じて出力の状態（0または1）が確定するフリップ・フロップと、これら二つの入力信号に位相差を生じさせる遅延部と、入力信号によるフリップ・フロップ出力の0または1の出現率が所定の繰り返し周期内で一定になるように前記遅延部による位相差を制御するフィードバック回路とで構成されることを特徴としている。

【0010】

また、請求項2に記載の乱数発生装置は、前記遅延部は、前記入力信号を数段階に遅延し出力する遅延回路と、セレクト入力に応じて遅延出力の何れかを選択する選択回路とで構成されることを特徴としている。

【0011】

また、請求項 3 に記載の乱数発生装置は、前記フィードバック回路は、前記入力信号の所定の繰り返し周期を計測する第 1 のカウンターと、繰り返し周期毎に前記フリップ・フロップ出力の 0 または 1 の出現数を計測する第 2 のカウンターと、当該第 2 のカウンターの計測出力を繰り返し周期毎に保持するレジスターと、前記フリップ・フロップ出力の 0 または 1 の出現率を設定するための比較データを発生する定数設定器と、前記レジスターの出力データと前記比較データの大小を比較する比較器と、当該比較器の比較出力に基づいて前記選択回路のセレクト信号を発生する可逆カウンターとで構成されることを特徴としている。

前記請求項 1 から請求項 3 に記載の構成では、乱数の発生に係わり、一様性を有し、且つ規則性、相関性、周期性を有しない自然乱数の発生装置を全てデジタル回路で実現することができる。また、入力信号の繰り返し周期と遅延部における設定位相差の分解能を適正に設定することにより、大量の乱数を高速で生成できる。しかも、デジタル回路構成であれば L S I 化への対応も容易である。

【 0 0 1 2 】

また、請求項 4 に記載の乱数発生装置は、前記第 1 のカウンターに設定する繰り返し周期の設定データと前記比較器の比較データとして、前記フリップ・フロップより出力される乱数を、または当該乱数をスクランブルして構成した乱数を用いることを特徴としている。

本構成では、乱数の生成に係わる周期性を完全に無くすることができる。

【 0 0 1 3 】

また、請求項 5 に記載の乱数発生装置は、請求項 3 に記載の乱数発生装置と同じ構成の補助乱数発生器を備え、前記第 1 のカウンターに設定する繰り返し周期の設定データと前記比較器の比較データとして、前記補助乱数発生器による乱数を用いることを特徴としている。

【 0 0 1 4 】

また、請求項 6 に記載の乱数発生装置は、請求項 3 に記載の乱数発生装置と同じ構成の補助乱数発生器を備え、前記第 1 のカウンターに設定する繰り返し周期の設定データと前記比較器の比較データとして、前記補助乱数発生器による乱数と前記乱数発生装置による乱数をスクランブルして構成した乱数を用いることを

特徴としている。

前記請求項 5 と請求項 6 に記載の構成では、補助乱数発生器からの乱数データは一切外部（乱数発生装置外）に出力されないため、生成される乱数の性質、傾向、周期性等の予測は不可能であり、よって、完全な自然乱数とすることができる。

【0015】

また、請求項 7 に記載の乱数発生装置は、前記フリップ・フロップの入力信号ラインに波形整形回路を付加して成ることを特徴としている。

波形整形により生ずる入力信号の鈍りによってフリップ・フロップの不確定動作範囲が拡がり、乱数の生成がより容易になる。

【0016】

また、請求項 8 に記載の乱数発生装置は、前記比較器の比較データを電源投入時に所定期間 0 に設定する初期制御回路を備えて成ることを特徴としている。

これにより、電源投入から適正な乱数が生成される迄の期間を短縮できる。

【0017】

また、請求項 9 に記載の乱数発生装置は、前記フリップ・フロップとして D タイプフリップ・フロップ、もしくは R-S フリップ・フロップを用いることを特徴としている。

【0018】

また、請求項 10 に記載の乱数発生装置は、請求項 1 から請求項 9 までの何れかに記載の乱数発生装置を複数並列に配置して構成したことを特徴としている。

この並列型乱数発生装置を構成する各々乱数発生装置間に相互関係は全く存在しない。また、個々の乱数発生装置についても規則性、相関性、周期性は無い。

【0019】

また、請求項 11 に記載の確率発生装置は、請求項 1 から請求項 10 までの何れかに記載の乱数発生装置を備えて成ることを特徴としている。

既述したように、当該乱数発生装置は一様性を有し、且つ規則性、相関性、周期性を有しないから、全体の確率分布は一様である。

【0020】

【発明の実施の形態】

以下、図1～図12に基づいて本発明に係る乱数発生装置および確率発生装置の実施形態を説明する。

【0021】

図1は乱数発生装置の第1実施形態を示す回路図である。

図1に示すように、第1実施形態の乱数発生装置10は、フリップ・フロップ1と遅延部2とフィードバック回路3とで構成される。

【0022】

ここで、前記フリップ・フロップ1としては、二つの入力部に入力される入力信号（CLOCK）の位相差によって出力の状態（0または1）が確定する機能を有するフリップ・フロップが使用可能であり、本実施形態では、信号入力用にクロック端子CLKとデータ端子Dを備えた図13に示すDタイプフリップ・フロップを使用している。

【0023】

また、前記遅延部2は、複数の遅延出力端子を有し、直列に接続され二つの遅延回路17、18（ディレーライン）とセレクト入力に応じてこの遅延出力の何れか一つを選択する選択回路19（セクター）とで構成され、前記二つの遅延回路17、18の接続点（遅延中間点となる）が前記Dタイプフリップ・フロップ1のクロック端子CLKに接続されると共に、選択回路19の出力がデータ端子Dに接続されて、Dタイプフリップ・フロップ1に入力される二つの信号の立ち上がり時間の位相差を任意に調整できるように構成されている。

【0024】

また、前記フィードバック回路3は、第1のカウンター11、第2のカウンター12、レジスター14、定数設定器16、比較器15、および可逆カウンター13（アップ／ダウンカウンター）とで構成される。

【0025】

第1のカウンター11は入力信号CLOCKの予め決められた繰返し周期〔CLOCK数（ $2 \times m$ ）〕を計測し、第2のカウンター12は、この繰返し周期毎に前記フリップ・フロップ出力の1（または0）の出現数を計測する。また、

レジスタ 14 は第 2 のカウンタ 12 のカウント値を繰り返し周期毎に取り込んで保持する。尚、カウント値がレジスタ 14 にセットされる毎に第 2 のカウンタ 12 は 0 にクリアされる。定数設定器 16 はフリップ・フロップ出力の 1（または 0）の出現率を設定するための比較データを出力する。本実施形態では、前記繰り返し周期 [CLOCK 数 ($2 \times m$)] の $1/2$ の値 (m) が出力されるように予め設定されている。また、比較器 15 はレジスタ 14 の保持データ (n) と定数設定器 16 からの比較データ (m) を比較し、比較結果 ($n > m$) または ($n = m$) または ($n < m$) に対応した比較出力を発生する。可逆カウンタ 13 は、前記比較器 15 からの比較出力により設定される動作モードにて動作し、そのカウントデータを次段選択回路 19 のセレクト信号 s として出力する。そして、既述のように選択回路 19 はセレクト信号 s により選択された原 CLOCK 信号の所定の遅延信号を出力する。

【0026】

すなわち、上記構成によれば、レジスタ 14 の出力データ (n) と、この定数設定器 16 からの出力データ (m) の比較出力に応じて可逆カウンタ 13 が繰り返し周期毎にアップ/ダウン動作（例えば、 $n > m$ 時はカウントアップ、 $n < m$ 時はカウントダウン）を行い、比較器 15 の比較出力が $n = m$ ($n = m$ 時はカウント動作停止し、CLOCK 信号の位相差は一定を維持する) に収束するように D タイプフリップ・フロップ 1 のデータ端子 D に入力される CLOCK 信号の立ち上がり時間を自動的に補正する。具体的には、図 14 (c) のように、CLK 信号の立ち上がりと D 信号の立ち上がりの位相差 Δt が 0 に近づいていくように制御される。これにより、D タイプフリップ・フロップ 1 の出力に 0 と 1 の出現率が常時 50% に維持された一様性のある 1bit のシリアル乱数データ OUT が得られる。

【0027】

また、本実施形態では、定数設定器 16 に設定する比較データを第 1 のカウンタ 11 の繰り返し周期の $1/2$ (即ち、 m) に設定したが、この m の値を変えることにより、D タイプフリップ・フロップ出力の 0 または 1 の出現率を 50% 以外に設定することができる。例えば、 m を繰り返し周期の $1/5$ に設定すれば

0 または 1 の出現率は 20% となる。

【0028】

ところで、前記第 1 実施形態では、第 1 のカウンター 11 の繰返し周期を常に一定 ($2 \times m$) に固定していたため、生成される乱数は何らかの周期的な傾向を示す可能性を有していた。以下、図 2 から図 5 に示す第 2 ～ 第 4 実施形態は、このような乱数の周期性を完全に無くすための方法である。

【0029】

先ず、図 2 に示す第 2 実施形態は、既述の定数設定器 16 に替わり、新たにシフトレジスター 21、加算器 22、比較器 23 等を設けて繰返し周期毎に出力される乱数列を次の繰返し周期の設定データ ($2 \times m$) と比較器 15 の比較データ (m) とした実施例である。尚、前記加算器 22 は、乱数列を前記設定データと比較データとして活用するために出力乱数 ($0 \sim m-1$) の範囲をプラス 1 して ($1 \sim m$) の範囲に変更するものである。また、新たな比較器 23 は、第 1 のカウンター 11 のカウントデータ (A) と加算器 22 の出力データ (m) から繰返し周期 ($2 \times m$) を発生させるものである。

【0030】

次に、図 3 に示す第 3 実施形態は、前記した第 2 実施形態にスクランブル回路 24 を追加し、出力された乱数を更にスクランブルしたものを前記設定データと比較データとして使用した実施例である。尚、スクランブルとは、複数のデータラインの任意のデータを互いに論理演算（例えば、排他的論理和、排他的論理和と排他的論理和同士との排他的論理和等）して原データと異なるデータに変換することを言い、図 3 では、シフトレジスター 21 の出力データ 16 bit がスクランブル回路 24 により 8 bit のデータに変換されている。

これら第 2、第 3 実施形態によれば、乱数発生に際して逐次繰返し周期が変化するため、生成される乱数の周期性は完全に解消される。

【0031】

次に、図 4 に示す第 4 実施形態は、前記第 2 実施形態による乱数発生装置を補助乱数発生器 4 として付加し、この補助乱数発生器 4 により生成される乱数列を上記同様、繰返し周期の設定データ ($2 \times m$) と比較器 15 の比較データ (m)

)として使用した実施例であり、また、図5に示す第5実施形態は、前記第3実施形態による乱数発生装置を補助乱数発生器5として付加し、補助乱数発生器5の出力と乱数発生装置10自身の出力をスクランブルした実施例である。

これら、第4、第5実施形態によれば、前記設定データと比較データとなる補助乱数発生器4、5の乱数は乱数発生装置10の内部回路に使用され、外部に出力されることはないから、第3者による乱数の性質、傾向、周期性の予測は不可能であり、よって、完全な自然乱数を得ることができる。

【0032】

図6は波形整形回路25を付加した乱数発生装置の要部回路を示している。このように、Dタイプフリップ・フロップ1の入力ライン(D端子とCLK端子)に波形整形回路25を付加して各々入力信号のエッジを強制的に鈍らせると、乱数の生成をより容易にすることができる。

【0033】

図7に入出力のゲート間に抵抗RとコンデンサCによる積分回路を挿入して構成した前記波形整形回路25を示す。図8(a)に示す入出力波形のように、ゲートのスレッショールド電圧と積分波形の交点で出力波形にジッター Δj が発生する。図8(b)にスレッショールド電圧と積分波形の交点部の傾き λ とジッター Δj との関係を示すが、この傾き λ (即ち、信号の鈍り)が大きくなる程ジッター Δj も大きくなる。即ち、このジッター Δj の大きさがフリップ・フロップの不確定動作範囲を拡げることになり、結果的に乱数の生成をより容易にする。

尚、係る波形整形回路25としては、上記の抵抗RとコンデンサCによるものだけでなく、例えば、コイルとコンデンサにより構成しても勿論構わない。

【0034】

また、図9に示すように、上述した第2～第5実施形態において、比較データ用の乱数出力ラインに初期化期間設定回路26aとゲート回路26bで構成した初期制御回路26を付加し、電源投入時に所定の繰り返し周期期間だけ当該比較データを強制的に0にするようにした。このような比較データの初期化により、電源投入時における入力信号の位相補正動作を効率的にでき、電源投入から適正

な乱数が得られる迄の過渡期間を最小にすることができる。

【0035】

以上説明した実施形態では、乱数発生用のフリップ・フロップとして、Dタイプフリップ・フロップを用いたが、本発明はこれにのみ限定されるものではなく、これと同等の機能を有するフリップ・フロップであれば使用可能である。例えば、他の例として、R-Sフリップ・フロップを使用した構成を図10に示す。図10によれば、遅延回路17と18の接続点がR-Sフリップ・フロップ1のセット入力に、また選択回路19の出力がR-Sフリップ・フロップ1のリセット入力に接続される。

【0036】

また、図11に示すように、既述したシリアル型の乱数発生装置10をP個並列に配置することにより、Pbit 構成の並列型乱数発生装置20を構成することができる。この並列型乱数発生装置20では、個々の乱数発生装置10間の相互関係は一切存在しない。

【0037】

次に本発明の乱数発生装置を用いて構成した確率発生装置について説明する。

図12にP(bit) で構成された確率発生装置の確率分布を示す。前記並列型乱数発生装置は各乱数発生装置毎に0と1の出現率が、例えば50%に常時補正されている。各々乱数発生装置10は一様性を有し、規則性、相関性、周期性を有さないから、全体の確率分布は一様である。

ここで、この乱数発生装置における一様な出力データの全体に対し、図12の斜線で示すような任意の範囲データ (r1、r2) を設定することにより、次式にて確率を生成することができる。

$$P0 = (r2 - r1 + 1) / 2^P$$

従って、範囲データ (r1～r2) を適宜設定することにより任意の確率が得られる。

【0038】

【発明の効果】

以上説明したように、本発明によれば、優れた一様性を有し、且つ規則性、相

関性、周期性を有しない自然乱数発生装置および確率発生装置をデジタル回路で実現することができる。デジタル回路構成であればLSI化への対応が容易で生産性に優れ、科学技術計算、ゲーム機、暗号化処理等、広い分野の用途に対し大量の乱数および確率データを高速に、且つ、安価に供給することができるようになる。

【0039】

また、外部ノイズ、温度、電源変動等の外部要因による影響も少ないため安定した動作が得られる。更に、環境に対する安全性に優れ、使い捨て等による廃棄処分に対する問題も無い。

【図面の簡単な説明】

【図1】

本発明に係る乱数発生装置の第1の実施形態を示す回路図である。

【図2】

同、乱数発生装置の第2の実施形態を示す回路図である。

【図3】

同、乱数発生装置の第3の実施形態を示す回路図である。

【図4】

同、乱数発生装置の第4の実施形態を示す回路図である。

【図5】

同、乱数発生装置の第5の実施形態を示す回路図である。

【図6】

波形整形回路を付加した本発明に係る乱数発生装置の要部回路図である。

【図7】

具体的な波形整形回路を示す図である。

【図8】

図7の波形整形回路の入出力波形を示す図である。

【図9】

初期制御回路を付加した本発明に係る乱数発生装置の要部回路図である。

【図10】

R-S フリップ・フロップを用いた本発明に係る乱数発生装置の要部回路図である。

【図 1 1】

本発明に係る並列型乱数発生装置のブロック構成図である。

【図 1 2】

本発明に係る確率発生装置の確率分布を示す図である。

【図 1 3】

D タイプフリップ・フロップを示す図である。

【図 1 4】

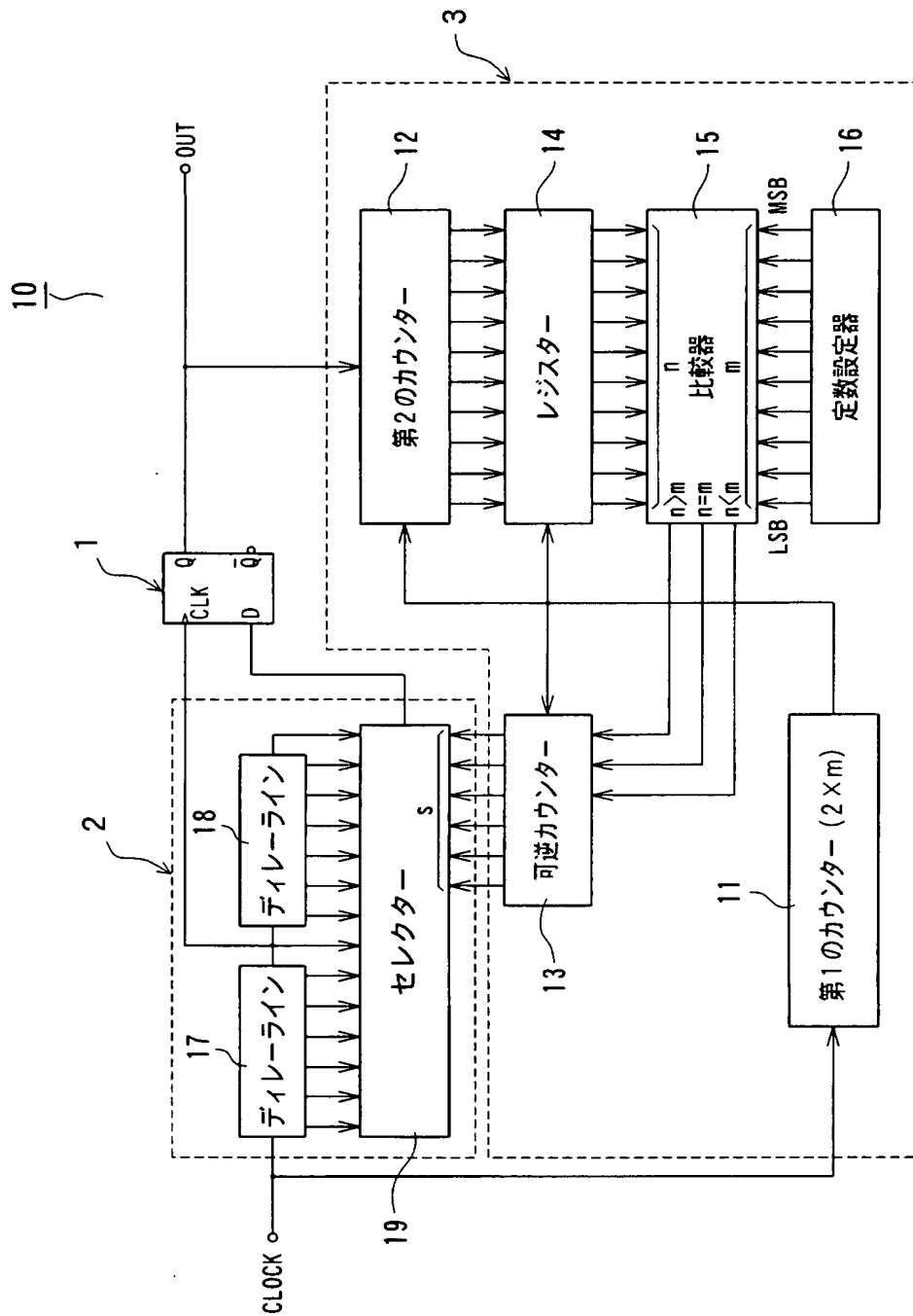
図 1 1 の D タイプフリップ・フロップの入出力波形を示す図である。

【符号の説明】

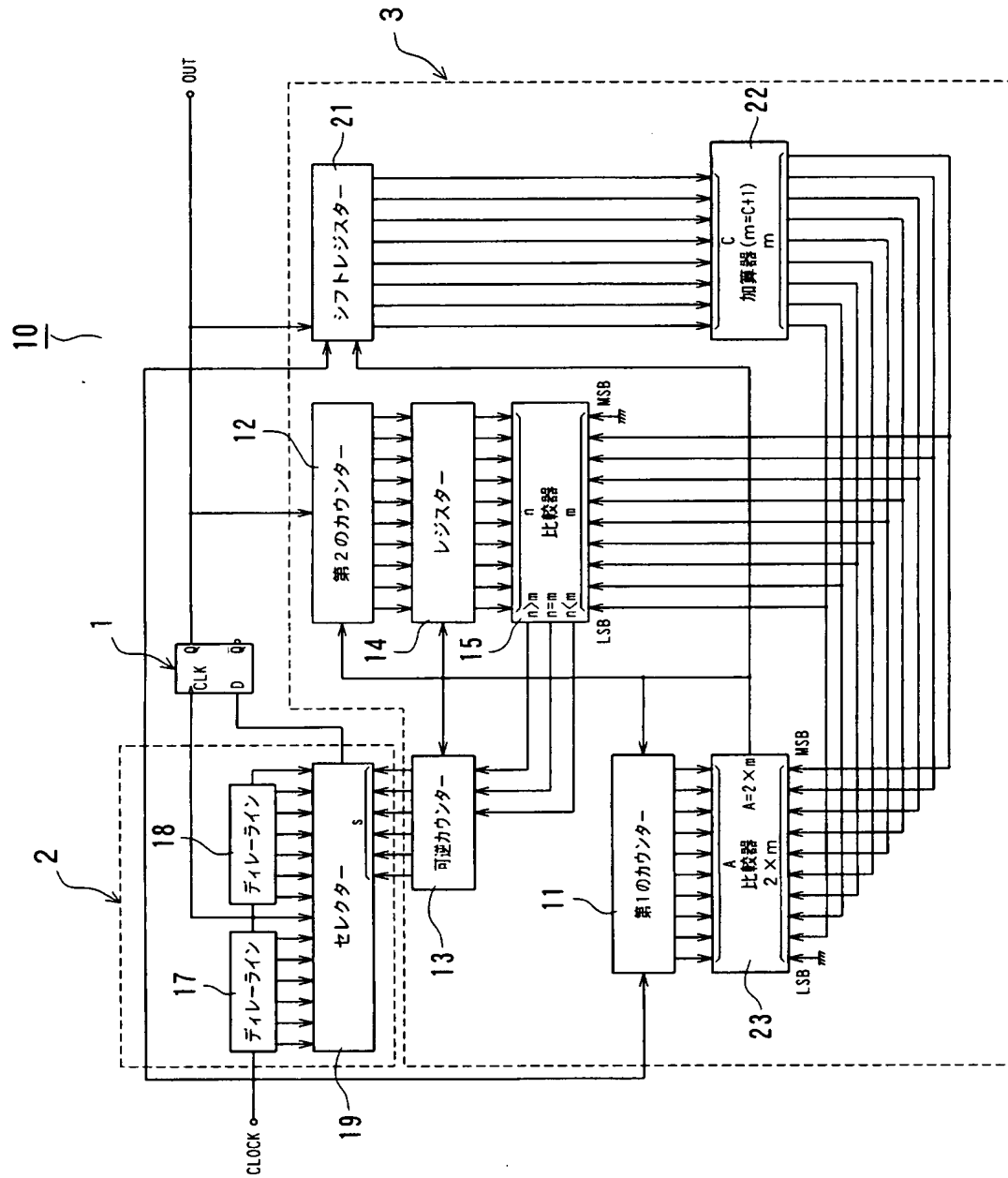
- 1 フリップ・フロップ (D タイプ／R-S フリップ・フロップ)
- 2 遅延部
- 3 フィードバック回路
- 4, 5 補助乱数発生器
- 10 乱数発生装置
- 11 第 1 のカウンタ
- 12 第 2 のカウンタ
- 13 可逆カウンタ
- 14 レジスタ
- 15 比較器
- 16 定数設定器
- 17, 18 遅延回路 (ディレーライン)
- 19 選択回路 (セレクター)
- 20 並列型乱数発生装置
- 25 波形整形回路
- 26 初期制御回路

【書類名】 図面

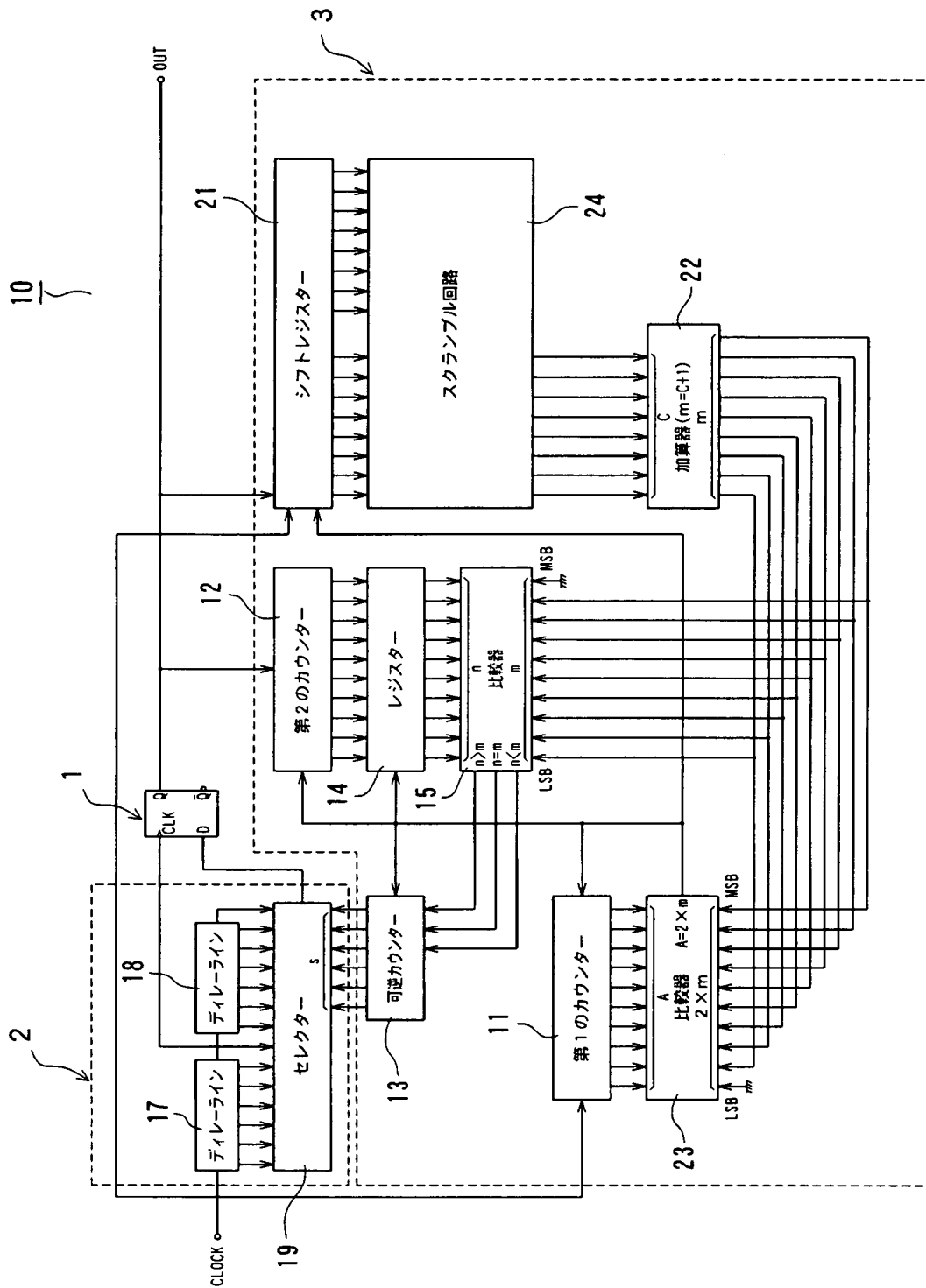
【図 1】



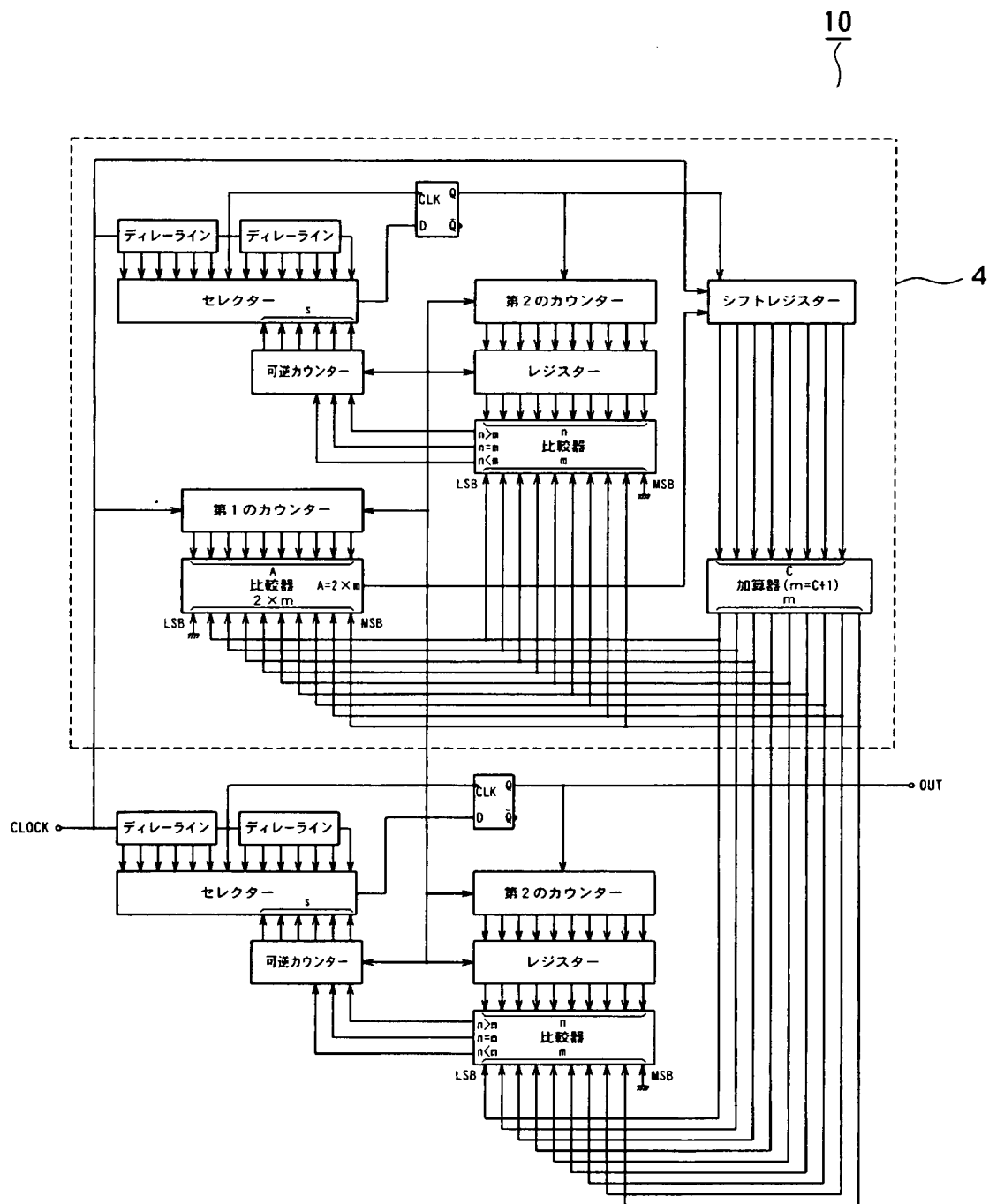
【図2】



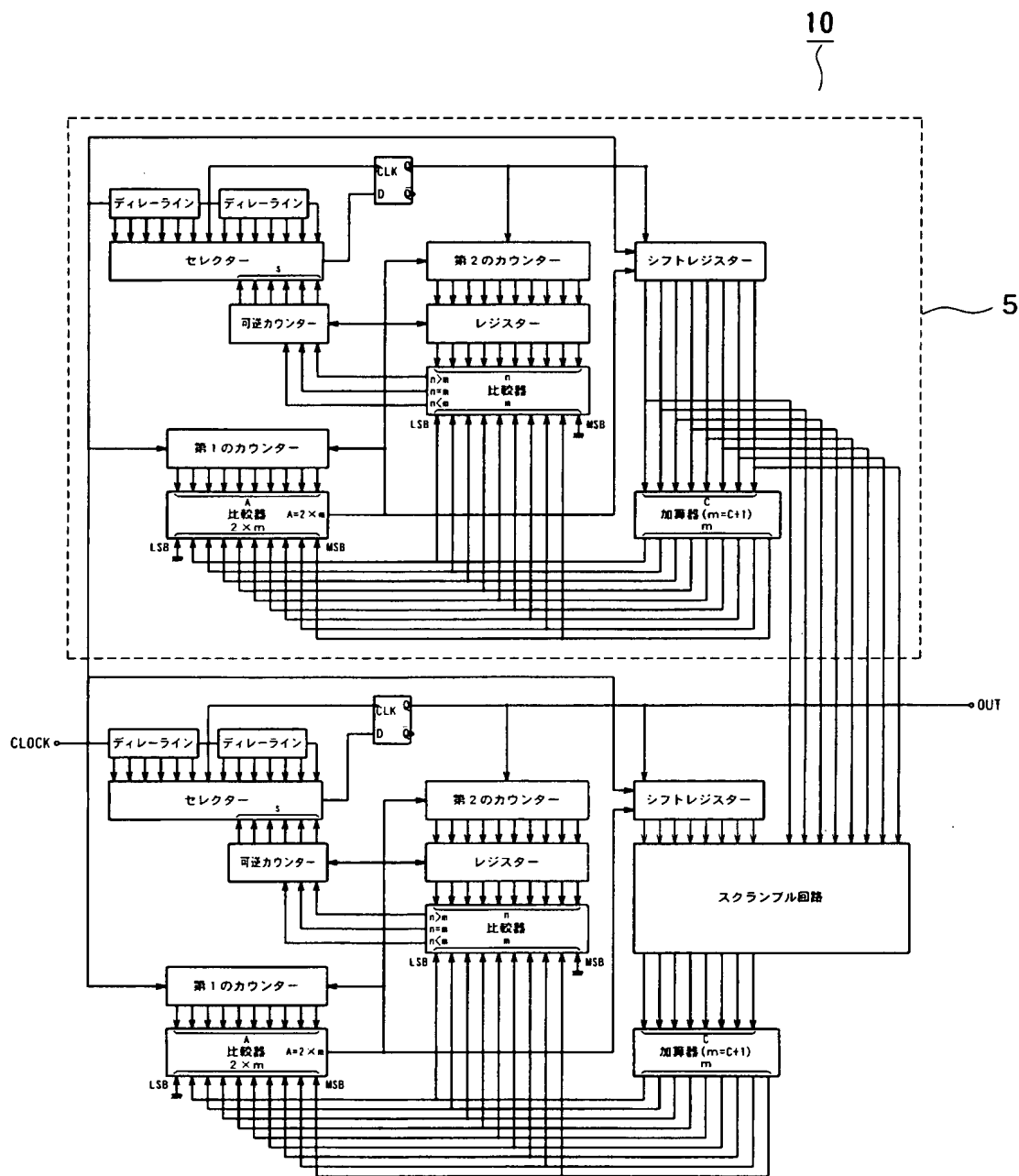
【図3】



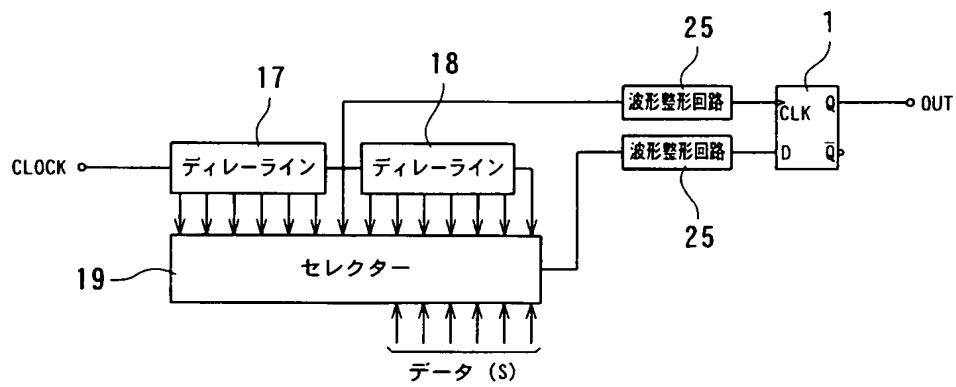
【図 4】



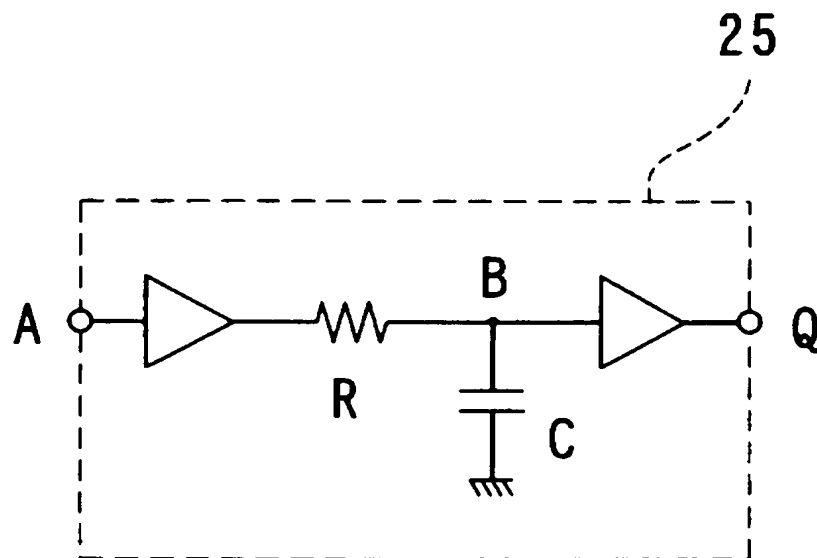
【図 5】



【図 6】

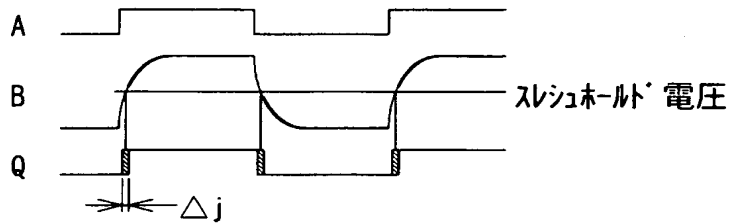


【図 7】

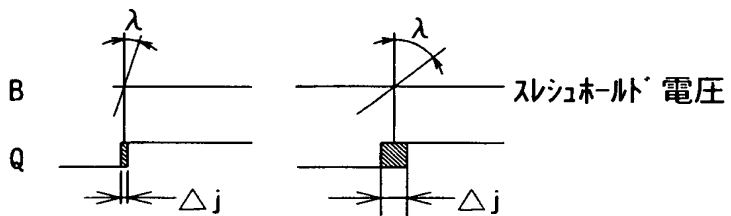


【図 8】

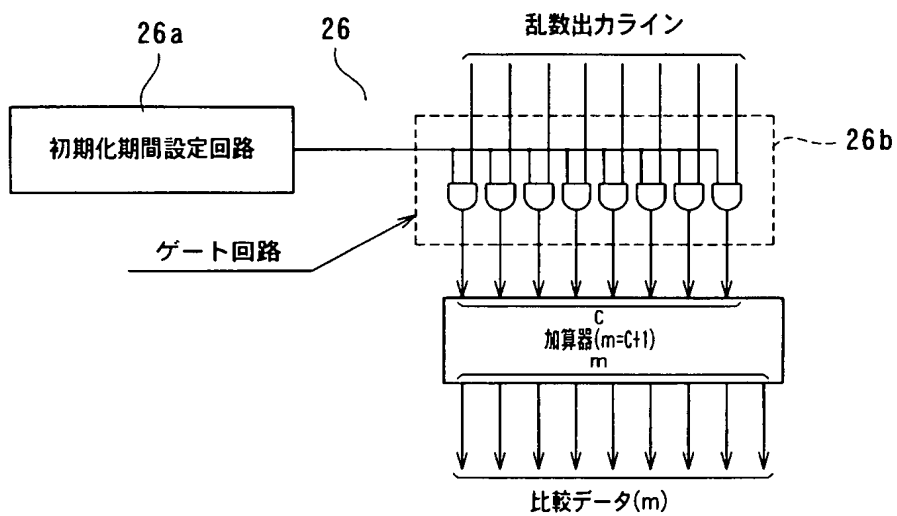
(a)



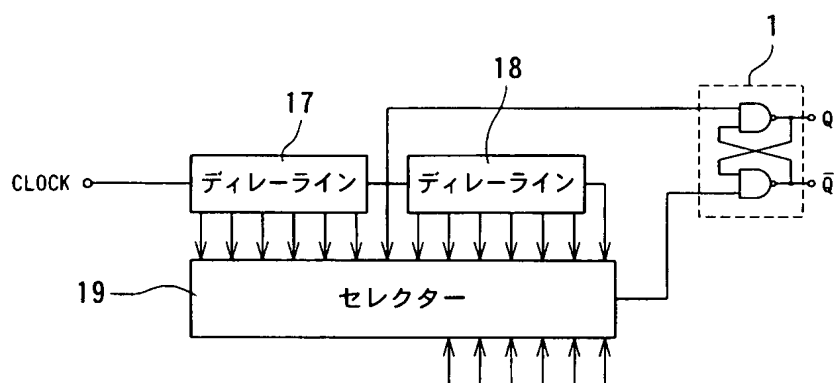
(b)



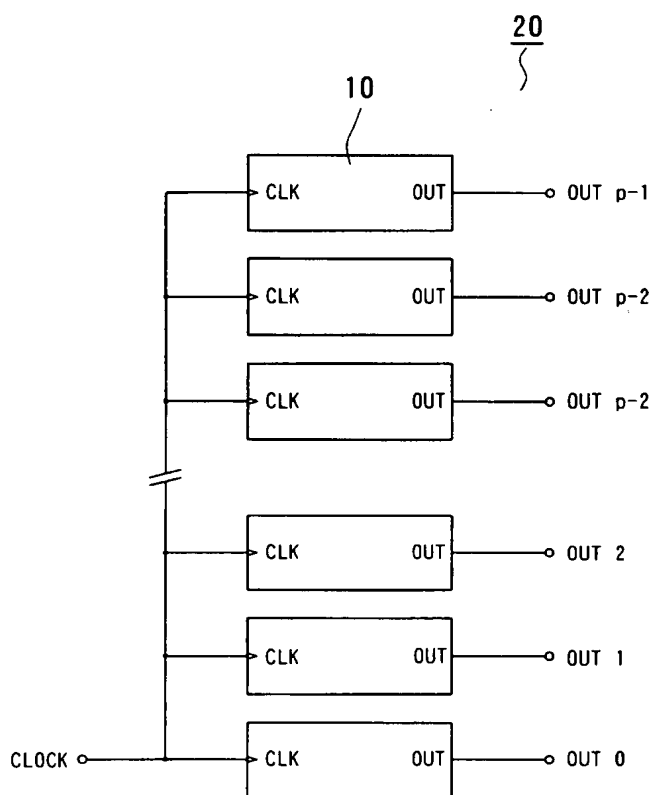
【図 9】



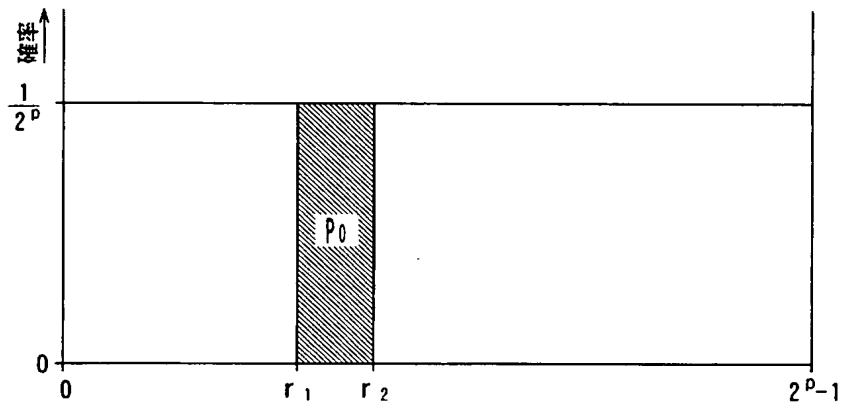
【図 10】



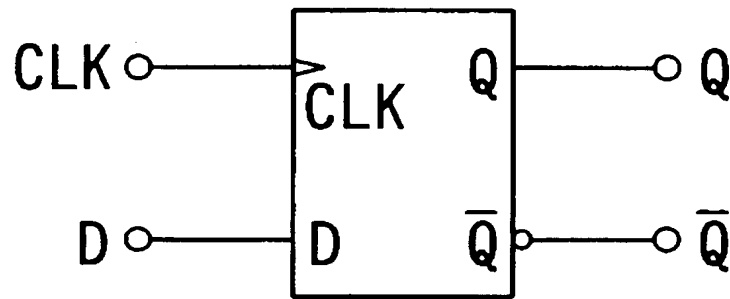
【図 11】



【図 12】

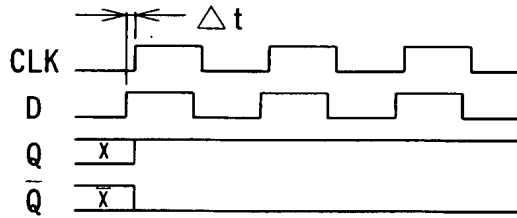


【図 13】

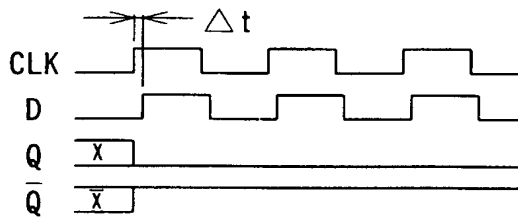


【図 14】

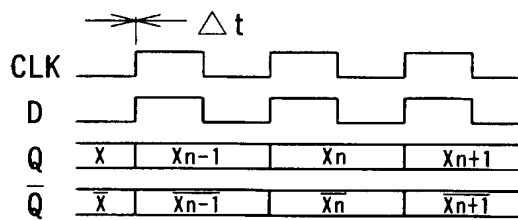
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 高性能で、且つ安全性の高いデジタル構成の乱数発生装置および確率発生装置を提供する。

【解決手段】 二つの入力部に入力されるパルス信号の位相差によって出力の状態（0 または 1）が確定するフリップ・フロップ 1 と、これら二つのクロック信号に位相差を持たせる遅延部 2 と、クロック信号によるフリップ・フロップ出力の 0 または 1 の出現率が所定の繰り返し周期内で一定になるように前記遅延部 2 による位相差を制御するフィードバック回路 3 とで構成する。本構成によれば、一様性を有し、規則性、相関性、周期性を有しない自然乱数発生装置を L S I 化の容易なデジタル回路で実現することができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 1 - 0 3 0 8 3 3
受付番号	5 0 1 0 0 1 7 0 5 9 9
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 3 年 2 月 8 日

< 認定情報・付加情報 >

【提出日】 平成13年 2月 7日

次頁無

特願 2 0 0 1 - 0 3 0 8 3 3

出 願 人 履 歴 情 報

識別番号

[3 9 0 0 2 2 7 9 2]

1 . 変 更 年 月 日

1 9 9 0 年 1 1 月 1 3 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 港 区 新 橋 5 丁 目 3 6 番 1 1 号

氏 名

い わ き 電 子 株 式 会 社